

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0079510  
Application Number

출원년월일 : 2002년 12월 13일  
Date of Application DEC 13, 2002

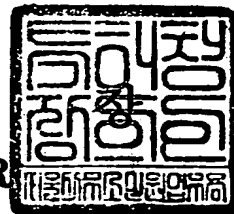
출원인 : 엘지.필립스 엘시디 주식회사  
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003      년      06      월      18      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.12.13
【발명의 명칭】	듀얼패널타입 유기전계발광 소자 및 그의 제조방법
【발명의 영문명칭】	Dual Panel Type Organic Electroluminescent Device and Method for Fabricating the same
【출원인】	
【명칭】	엘지 .필립스엘시디(주)
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	정원기
【대리인코드】	9-1998-000534-2
【포괄위임등록번호】	1999-001832-7
【발명자】	
【성명의 국문표기】	배성준
【성명의 영문표기】	BAE, SUNG JOON
【주민등록번호】	710108-1009911
【우편번호】	463-480
【주소】	경기도 성남시 분당구 금곡동(청솔마을) 104-703
【국적】	KR
【발명자】	
【성명의 국문표기】	박재용
【성명의 영문표기】	PARK, JAE YONG
【주민등록번호】	681112-1894818
【우편번호】	431-070
【주소】	경기도 안양시 동안구 평촌동 꿈마을 건영아파트 305동 701호
【국적】	KR
【우선권주장】	
【출원국명】	KR
【출원종류】	특허

**【출원번호】** 10-2002-0050610  
**【출원일자】** 2002.08.26  
**【증명서류】** 미첨부  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 정원기 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 27 면 27,000 원  
**【우선권주장료】** 1 건 26,000 원  
**【심사청구료】** 19 항 717,000 원  
**【합계】** 799,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

## 【요약서】

## 【요약】

본 발명에 따른 듀얼패널타입 유기전계발광 소자에 의하면, 어레이 소자와 유기전계발광 다이오드 소자를 서로 다른 기판 상에 형성하기 때문에 생산수율 및 생산관리 효율을 향상시킬 수 있고, 제품수명을 늘릴 수 있고, 상부발광방식이기 때문에 박막트랜지스터 설계가 용이해지고 고개구율/고해상도 구현이 가능하며, 격벽을 이용하여 연결전극과 제 2 전극을 연결시키기 때문에, 별도의 스페이서 형태의 연결패턴 공정을 생략할 수 있고, 비발광 영역인 격벽 형성부에서 제 2 전극과 연결전극을 연결시키기 때문에, 발광 영역에 손상이 가해질 확률을 줄일 수 있으며, 어레이 기판에서, 게이트 전극, 반도체층, 소스 전극 및 드레인 전극, 전력공급 라인의 제조 공정에서 아일랜드 패턴 형상이며, 서로 중첩된 패턴을 형성하여, 상기 패턴들과 연결 전극이 중첩되는 영역을 도출부로 이용함에 따라, 별도의 공정추가없이 박막트랜지스터 형성부보다 높은 높이를 가지는 도출부를 형성하는 방법으로, 인접화소와의 전기적 연결에 의한 불량을 방지하여 생산수율을 높일 수 있고, 상기 도출부를 구성함에 있어서, 연결 전극을 형성하기 전에, 박막트랜지스터와 이격된 구간에 기둥형상의 도출부 패턴을 형성하여, 상기 도출부 패턴을 통해 박막트랜지스터 형성부보다 높은 높이를 가지는 도출부를 형성하는 방법으로 인접화소와의 전기적 연결에 의한 불량을 방지하여 생산수율을 높일 수 있는 장점을 가진다.

## 【대표도】

도 5

## 【명세서】

## 【발명의 명칭】

듀얼패널타입 유기전계발광 소자 및 그의 제조방법{Dual Panel Type Organic Electroluminescent Device and Method for Fabricating the same}

## 【도면의 간단한 설명】

도 1은 일반적인 액티브 매트릭스형 유기전계발광 소자의 기본 픽셀 구조를 나타낸 도면.

도 2는 종래의 하부발광방식 유기전계발광 소자에 대한 개략적인 단면도.

도 3은 상기 도 2 유기전계발광 소자의 한 서브픽셀 영역에 대한 확대 단면도.

도 4는 종래의 유기전계발광 소자의 제조 공정에 대한 공정 흐름도.

도 5는 본 발명의 제 1 실시예에 따른 듀얼패널타입 유기전계발광 소자에 대한 단면도.

도 6은 본 발명의 제 2 실시예에 따른 듀얼패널타입 유기전계발광 소자에 있어서, 적, 녹, 청 서브픽셀로 이루어진 하나의 픽셀 영역에 대한 격벽 구조를 도시한 도면.

도 7a 내지 7c는 상기 도 6의 절단선 A-A, B-B, C-C에 따라 각각 절단된 단면에 대한 단면도.

도 8은 본 발명의 제 3 실시예에 따른 듀얼패널타입 유기전계발광 소자용 유기전계발광 다이오드 소자의 제조 공정을 단계별로 나타낸 공정흐름도.

도 9는 본 발명의 제 4 실시예에 따른 듀얼패널타입 유기전계발광 소자용 유기전계 발광 다이오드 소자용 어레이 기판에 대한 단면도.

도 10은 본 발명의 제 5 실시예에 따른 듀얼패널타입 유기전계발광 소자용 유기전 계발광 다이오드 소자용 어레이 기판에 대한 단면도.

도 11은 본 발명의 제 6 실시예에 따른 듀얼패널타입 유기전계발광 소자의 제조 공 정을 단계별로 나타낸 공정흐름도.

<도면의 주요부분에 대한 부호의 설명>

110 : 제 1 기판	112 : 버퍼층
114 : 반도체층	116 : 게이트 절연막
118 : 게이트 전극	120 : 제 1 콘택홀
122 : 제 2 콘택홀	124 : 제 1 보호층
126 : 소스 전극	128 : 드레인 전극
130 : 제 3 콘택홀	132 : 연결전극
150 : 제 2 기판	152 : 제 1 전극
154 : 절연막	156 : 격벽
158 : 유기전계발광층	160 : 제 2 전극
170 : 셀패턴	I : 활성 영역
II : 소스 영역	III : 드레인 영역

E : 유기전계발광 다이오드 소자      T : 박막트랜지스터

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <25>      본 발명은 유기전계발광 소자(Organic Electroluminescent Device)에 관한 것이며, 특히 듀얼패널타입 유기전계발광 소자에 관한 것이다.
- <26>      새로운 평판 디스플레이(FPD ; Flat Panel Display)중 하나인 유기전계발광 소자는 자체발광형이기 때문에 액정표시장치에 비해 시야각, 콘트라스트 등이 우수하며 백라이트가 필요하지 않기 때문에 경량박형이 가능하고, 소비전력 측면에서도 유리하다. 그리고, 직류저전압 구동이 가능하고 응답속도가 빠르며 전부 고체이기 때문에 외부충격에 강하고 사용온도범위도 넓으며 특히 제조비용 측면에서도 저렴한 장점을 가지고 있다.
- <27>      특히, 상기 유기전계발광 소자의 제조공정에는, 액정표시장치나 PbP(Plasma Display Panel)와 달리 증착(deposition) 및 인캡슐레이션(encapsulation) 장비가 전부라고 할 수 있기 때문에, 공정이 매우 단순하다.
- <28>      종래에는 이러한 유기전계발광 소자의 구동방식으로 별도의 스위칭 소자를 구비하지 않는 패시브 매트릭스형(passive matrix)이 주로 이용됐었다.
- <29>      그러나, 상기 패시브 매트릭스 방식에서는 주사선(scan line)과 신호선(signal line)이 교차하면서 매트릭스 형태로 소자를 구성하므로, 각각의 픽셀을 구동하기 위하

여 주사선을 시간에 따라 순차적으로 구동하므로, 요구되는 평균 휘도를 나타내기 위해서는 평균 휘도에 라인수를 곱한 것 만큼의 순간 휘도를 내야만 한다.

<30> 그러나, 액티브 매트릭스 방식에서는, 픽셀(pixel)을 온/오프(on/off)하는 스위칭 소자인 박막트랜지스터(Thin Film Transistor)가 서브픽셀(sub pixel)별로 위치하고, 이 박막트랜지스터와 연결된 제 1 전극은 서브픽셀 단위로 온/오프되고, 이 제 1 전극과 대향하는 제 2 전극은 공통전극이 된다.

<31> 그리고, 상기 액티브 매트릭스 방식에서는 픽셀에 인가된 전압이 스토리지 캐패시터( $C_{ST}$  ; storage capacitance)에 충전되어 있어, 그 다음 프레임(frame) 신호가 인가될 때까지 전원을 인가해 주도록 함으로써, 주사선 수에 관계없이 한 화면동안 계속해서 구동한다.

<32> 따라서, 액티브 매트릭스 방식에 의하면 낮은 전류를 인가하더라도 동일한 휘도를 나타내므로 저소비전력, 고정세, 대형화가 가능한 장점을 가진다.

<33> 이하, 이러한 액티브 매트릭스형 유기전계발광 소자의 기본적인 구조 및 동작특성에 대해서 도면을 참조하여 상세히 설명한다.

<34> 도 1은 일반적인 액티브 매트릭스형 유기전계발광 소자의 기본 픽셀 구조를 나타낸 도면이다.

<35> 도시한 바와 같이, 제 1 방향으로 주사선이 형성되어 있고, 이 제 1 방향과 교차되는 제 2 방향으로 형성되며, 서로 일정간격 이격된 신호선 및 전력공급 라인(powersupply line)이 형성되어 있어, 하나의 서브픽셀 영역을 정의한다.



- <36>      상기 주사선과 신호선의 교차지점에는 어드레싱 엘리먼트(addressing element)인 스위칭 박막트랜지스터(switching TFT)가 형성되어 있고, 이 스위칭 박막트랜지스터 및 전력공급 라인과 연결되어 스토리지 캐패시터( $C_{ST}$ )가 형성되어 있으며, 이 스토리지 캐패시터( $C_{ST}$ ) 및 전력공급 라인과 연결되어, 전류원 엘리먼트(current source element)인 구동 박막트랜지스터가 형성되어 있고, 이 구동 박막트랜지스터와 연결되어 유기전계발광 다이오드(Electroluminescent Diode)가 구성되어 있다.
- <37>      이 유기전계발광 다이오드는 유기발광물질에 순방향으로 전류를 공급하면, 정공 제공충인 양극(anode electrode)과 전자 제공충인 음극(cathode electrode)간의 P(positive)-N(negative) 접합(Junction)부분을 통해 전자와 정공이 이동하면서 서로 재결합하여, 상기 전자와 정공이 떨어져 있을 때보다 작은 에너지를 가지게 되므로, 이때 발생하는 에너지 차로 인해 빛을 방출하는 원리를 이용하는 것이다.
- <38>      상기 유기전계발광 소자는 유기전계발광 다이오드를 통해 발광된 빛의 투과방향에 따라 상부 발광방식(top emission type)과 하부 발광방식(bottom emission type)으로 나뉜다.
- <39>      이하, 도 2는 종래의 하부발광방식 유기전계발광 소자에 대한 개략적인 단면도로서, 적, 녹, 청 서브픽셀로 구성되는 하나의 픽셀 영역을 중심으로 도시하였다.
- <40>      도시한 바와 같이, 제 1, 2 기판(10, 30)이 서로 대향되게 배치되어 있고, 제 1, 2 기판(10, 30)의 가장자리부는 씰패턴(40 ; seal pattern)에 의해 봉지되어 있는 구조에 있어서, 제 1 기판(10)의 투명 기판(1) 상부에는 서브 픽셀별로 박막트랜지스터(T)가 형성되어 있고, 박막트랜지스터(T)와 연결되어 제 1 전극(12)이 형성되어 있고, 박막트랜

지스터(T) 및 제 1 전극(12) 상부에는 박막트랜지스터(T)와 연결되어 제 1 전극(12)과 대응되게 배치되는 적(Red), 녹(Green), 청(Blue) 컬러를 띠는 발광물질을 포함하는 유기전계발광층(14)이 형성되어 있고, 유기전계발광층(14) 상부에는 제 2 전극(16)이 형성되어 있다.

<41>        상기 제 1, 2 전극(12, 16)은 유기전계발광층(14)에 전계를 인가해주는 역할을 한다.

<42>        그리고, 전술한 셀패턴(40)에 의해서 제 2 전극(16)과 제 2 기판(30) 사이는 일정 간격 이격되어 있으며, 도면으로 제시하지는 않았지만, 제 2 기판(30)의 내부면에는 외부로의 수분을 차단하는 흡습제 및 흡습제와 제 2 기판(30)간의 접착을 위한 반투성 테이프가 포함된다.

<43>        한 예로, 하부발광방식 구조에서 상기 제 1 전극(12)을 양극으로, 제 2 전극(16)을 음극으로 구성할 경우 제 1 전극(12)은 투명도전성 물질에서 선택되고, 제 2 전극(16)은 일함수가 낮은 금속물질에서 선택되며, 이런 조건 하에서 상기 유기전계발광층(14)은 제 1 전극(12)과 접하는 층에서부터 정공주입층(14a ; hole injection layer), 정공수송층(14b ; hole transporting layer), 발광층(14c ; emission layer), 전자수송층(14d ; electron transporting layer) 순서대로 적층된 구조를 이룬다.

<44>        이때, 상기 발광층(14c)은 서브픽셀별로 적, 녹, 청 컬러를 구현하는 발광물질이 차례대로 배치된 구조를 가진다.

<45>        도 3은 상기 도 2 하부발광방식 유기전계발광 소자의 하나의 서브픽셀 영역에 대한 확대 단면도이다.

- <46> 도시한 바와 같이, 투명 기판(1) 상에는 반도체층(62), 게이트 전극(68), 소스 및 드레인 전극(80, 82)이 차례대로 형성되어 박막트랜지스터 영역을 이루고, 소스 및 드레인 전극(80, 82)에는 미도시한 전원공급 라인에서 형성된 파워 전극(72) 및 유기전계발광 다이오드(E)가 각각 연결되어 있다.
- <47> 그리고, 상기 파워 전극(72)과 대응하는 하부에는 절연체가 개재된 상태로 상기 반도체층(62)과 동일물질로 이루어진 캐패시터 전극(64)이 위치하여, 이들이 대응하는 영역은 스토리지 캐패시터 영역을 이룬다.
- <48> 상기 유기전계발광 다이오드(E)이외의 박막트랜지스터 영역 및 스토리지 캐패시터 영역에 형성된 소자들은 어레이 소자(A)를 이룬다.
- <49> 상기 유기전계발광 다이오드(E)는 유기전계발광층(14)이 개재된 상태로 서로 대향된 제 1 전극(12) 및 제 2 전극(16)으로 구성된다. 상기 유기전계발광 다이오드(E)는 자체발광된 빛을 외부로 방출시키는 발광 영역에 위치한다.
- <50> 이와 같이, 기존의 유기전계발광 소자는 어레이 소자(A)와 유기전계발광 다이오드(E)가 동일 기판 상에 적층된 구조로 이루어지는 것을 특징으로 하였다.
- <51> 도 4는 종래의 유기전계발광 소자의 제조 공정에 대한 공정 흐름도이다.
- <52> st1은 제 1 기판 상에 어레이 소자를 형성하는 단계로서, 상기 제 1 기판은 투명 기판을 지칭하는 것으로, 제 1 기판 상에 주사선과, 주사선과 교차되며 서로 일정간격 이격되는 신호선 및 전력 공급선과, 주사선 및 신호선과 교차되는 지점에 형성되는 스위칭 박막트랜지스터 및 주사선 및 전력 공급선이 교차되는 지점에 형성되는 구동 박막트랜지스터를 포함하는 어레이 소자를 형성하는 단계를 포함한다.

- <53> st2는 유기전계발광 다이오드의 제 1 구성요소인 제 1 전극을 형성하는 단계로서, 제 1 전극은 구동 박막트랜지스터와 연결되어 서브픽셀별로 패턴화된다.
- <54> st3은 상기 제 1 전극 상부에 유기전계발광 다이오드의 제 2 구성요소인 유기전계발광층을 형성하는 단계로서, 상기 제 1 전극을 양극으로 구성하는 경우에, 상기 유기전계발광층은 정공주입층, 정공수송층, 발광층, 전자수송층 순으로 적층구성될 수 있다.
- <55> st4에서는, 상기 유기전계발광층 상부에 유기전계발광 다이오드의 제 3 구성요소인 제 2 전극을 형성하는 단계로서, 상기 제 2 전극은 공통 전극으로 기판 전면에 형성된다.
- <56> st5에서는, 또 하나의 기판인 제 2 기판을 이용하여 제 1 기판을 인캡슐레이션하는 단계로서, 이 단계에서는 제 1 기판의 외부충격으로부터 보호하고, 외기(外氣) 유입에 따른 유기전계발광층의 손상을 방지하기 위해 제 1 기판의 외곽을 제 2 기판으로 인캡슐레이션하는 단계로서, 상기 제 2 기판의 내부면에는 흡습제가 포함될 수 있다.
- <57> 이와 같이, 기존의 하부발광방식 유기전계발광 소자는 어레이 소자 및 유기전계발광 다이오드가 형성된 기판과 별도의 인캡슐레이션용 기판의 합착을 통해 소자를 제작하였다. 이런 경우, 어레이 소자의 수율과 유기전계발광 다이오드의 수율의 곱이 유기전계발광 소자의 수율을 결정하기 때문에, 기존의 유기전계발광 소자 구조에서는 후반 공정에 해당되는 유기전계발광 다이오드 공정에 의해 전체 공정 수율이 크게 제한되는 문제점이 있었다. 예를 들어, 어레이 소자가 양호하게 형성되었다 하더라도, 1000Å 정도의 박막을 사용하는 유기전계발광층의 형성시 이물이나 기타 다른 요소에 의해 불량 발생하게 되면, 유기전계발광 소자는 불량 등급으로 판정된다.

- <58> 이로 인하여, 양품의 어레이 소자를 제조하는데 소요되었던 제반 경비 및 재료비 손실이 초래되고, 생산수율이 저하되는 문제점이 있었다.
- <59> 그리고, 하부발광방식은 인캡슐레이션에 의한 안정성 및 공정이 자유도가 높은 반면 개구율의 제한이 있어 고해상도 제품에 적용하기 어려운 문제점이 있고, 상부발광방식은 박막트랜지스터 설계가 용이하고 개구율 향상이 가능하기 때문에 제품수명 측면에서 유리하지만, 기존의 상부발광방식 구조에서는 유기전계발광층 상부에 통상적으로 음극이 위치함에 따라 재료선택폭이 좁기 때문에 투과도가 제한되어 광효율이 저하되는 점과, 광투과도의 저하를 최소화하기 위해 박막형 보호막을 구성해야 하는 경우 외기를 충분히 차단하지 못하는 문제점이 있었다.

**【발명이 이루고자 하는 기술적 과제】**

- <60> 본 발명은 상기 문제점을 해결하기 위하여 안출된 것으로, 본 발명에서는 생산수율이 향상된 고해상도/고개구율 구조 액티브 매트릭스형 유기전계발광 소자를 제공하는 것을 제 1 목적으로 한다.
- <61> 이를 위하여, 본 발명에서는 어레이 소자 및 유기전계발광 다이오드 소자를 서로 다른 기판 상에 형성하고, 전기적 연결전극을 통해 어레이 소자와 유기전계발광 다이오드 소자를 연결하는 듀얼패널타입(dual panel type) 유기전계발광소자를 제공하고자 한다.
- <62> 본 발명의 제 2 목적은, 화면을 구현하는 최소단위인 서브픽셀 단위로 유기전계발광 다이오드 소자용 제 1, 2 전극 중 어느 한 전극을 별도의 패터닝 공정없이 자동 분리

시키기 위한 격벽(electrode separator)패턴을 이용하는 액티브 매트릭스형 유기전계발광 소자에 있어서, 상기 격벽의 패턴구조의 변경을 통해 전술한 연결전극과 제 2 전극의 연결을 용이하게 하고자 한다.

### 【발명의 구성 및 작용】

<63>       상기 목적을 달성하기 위하여, 서브픽셀 영역이 정의된 제 1, 2 기판과; 상기 제 1 기판 내부면에 서브픽셀 단위로 형성된 다수 개의 박막트랜지스터를 포함하는 어레이 소자층과; 상기 어레이 소자층 상부에서 박막트랜지스터와 연결된 연결전극과; 상기 제 2 기판의 내부면에 형성된 제 1 전극과; 상기 제 1 전극 하부의 서브픽셀 영역간 경계부에 차례대로 형성된 절연층 및 격벽과; 상기 격벽을 경계부로 하여, 서브픽셀 단위로 형성된 유기전계발광층 및 제 2 전극을 포함하며, 상기 유기전계발광층으로부터 발광된 빛은 제 1 전극쪽으로 발광되고, 상기 격벽은 상기 유기전계발광층 및 제 2 전극을 서브픽셀 단위로 자동분리시키는 패턴구조를 가지는 제 1 영역과, 상기 제 2 전극과 연결전극을 상기 격벽 형성부에서 연결시키기 위한 패턴구조를 가지는 제 2 영역과, 상기 제 1, 2 영역간 이웃하는 제 2 전극간 단락(short)을 방지하기 위한 패턴구조를 가지는 제 3 영역을 가지며, 상기 격벽의 제 2 영역과 대응되는 위치에 형성된 제 2 전극은 상기 연결전극과 접촉되는 것을 특징으로 하는 듀얼패널타입 유기전계발광 소자를 제공한다.

<64>       상기 격벽은 제 1 영역에서 역테이퍼 구조를 가지는 패턴과, 제 2 영역에서 일측은 경사지고, 또 다른 일측은 역테이퍼를 가지는 비대칭적 구조의 패턴과, 제 3 영역에서 서로 일정간격 이격된 다수 개의 오목부를 가지는 패턴으로 이루어진 것을 특징으로 하

며, 상기 제 2, 3 영역에 해당하는 격벽 패턴은 회절노광법에 의해 이루어지는 것을 특징으로 한다.

<65>       상기 제 1, 2 전극 및 유기전계발광층은 유기전계발광 다이오드 소자를 이루며, 상기 박막트랜지스터는 게이트 전극, 반도체층, 소스 전극, 드레인 전극으로 이루어지고 상기 유기전계발광 다이오드 소자에 전류를 공급하는 구동 박막트랜지스터에 해당되고, 상기 연결전극은 상기 드레인 전극과 연결되고, 상기 제 1 기판에는, 상기 박막트랜지스터의 형성높이보다 높은 높이를 가지는 도출부를 추가로 포함하며, 상기 도출부에서 상기 연결 전극과 제 2 전극이 접촉되는 것을 특징으로 하고, 상기 도출부에는, 상기 게이트 전극, 반도체층, 소스 전극 및 드레인 전극과 각각 동일 공정에서 동일 물질로 이루어지고, 아일랜드 패턴(island pattern)으로 이루어진 제 1 내지 제 3 패턴의 중첩되어 이루어지며, 상기 소스 전극과 연결되어 전력공급 라인이 추가로 형성되며, 상기 전력공급 라인과 동일 공정에서 동일 물질로 이루어지며, 상기 제 1 내지 제 3 패턴과 중첩되게 위치하는 제 4 패턴을 추가로 포함하는 것을 특징으로 한다.

<66>       상기 박막트랜지스터를 덮는 영역에는, 상기 드레인 전극을 일부 노출시키는 드레인 콘택홀을 가지는 보호층이 형성되고, 상기 보호층 상부에는 상기 도출부에 위치하는 기둥형상의 도출부 패턴이 형성되며, 상기 도출부 패턴 및 보호층을 덮는 영역에는 상기 드레인 콘택홀을 통해 드레인 전극과 연결되는 연결 전극이 형성되고, 상기 도출부 패턴을 이루는 물질은 절연물질에서 선택되며, 상기 절연물질은 유기절연물질인 것을 특징으로 한다.

<67>       본 발명의 제 2 특징에서는, 서로 다른 기판에, 박막트랜지스터를 포함하는 어레이 소자 및 제 1, 2 전극과, 상기 제 1, 2 전극 사이 구간에 위치하는 유기전계발광층을

포함하는 유기전계발광 다이오드 소자를 각각 형성되고, 상기 어레이 소자 및 유기전계발광 다이오드 소자는 연결전극을 통해 연결되는 듀얼패널타입 유기전계발광 소자에서, 상기 유기전계발광 다이오드 소자를 포함하는 기판의 제조방법에 있어서, 서브픽셀 영역이 정의된 기판 상에 제 1 전극을 형성하는 단계와; 상기 제 1 전극 상부의 서브픽셀 영역간 경계부를 두르는 위치에 절연층 및 격벽을 형성하는 단계와; 상기 절연층 및 격벽을 경계부로 하여, 유기전계발광층 및 제 2 전극을 서브픽셀 영역별로 형성하는 단계를 포함하며, 상기 격벽은 양측이 역테이퍼 구조를 가지는 패턴으로 이루어진 제 1 영역과, 일측은 역테이퍼 구조를 가지고, 또 다른 일측은 경사진 구조를 가지는 패턴으로 이루어진 제 2 영역과, 상기 제 1, 2 영역 사이 구간에 위치하여, 서로 일정간격 이격된 다수의 오목부를 가지는 패턴으로 이루어진 제 3 영역으로 이루어지고, 상기 연결전극은 상기 격벽의 제 2 영역에 형성된 제 2 전극과 접촉되는 것을 특징으로 하는 듀얼패널타입 유기전계발광 소자용 기판의 제조방법을 제공한다.

<68>       상기 격벽을 형성하는 단계에서는, 빛의 세기를 선택적으로 조절하는 회절노광법에 의해 패터닝되는 것을 특징으로 하고, 상기 제 2 영역에 형성된 경사진 격벽패턴은, 상기 회절노광 공정에 이용되는 마스크의 오픈부의 폭 및 오픈부간 간격 조절을 통해 이루어지며, 상기 제 3 영역에 형성된 격벽패턴은, 상기 오목부와 대응되는 위치에서 슬릿패턴을 가지는 마스크를 이용한 회절노광 공정에 의해 이루어지며, 상기 박막트랜지스터를 형성하는 단계에서는, 게이트 전극, 반도체층, 소스 전극 및 드레인 전극, 전력공급 라인을 형성하는 단계를 차례대로 포함하고, 상기 박막트랜지스터 형성부보다 높은 높이를 가지며, 상기 연결 전극과 제 2 전극의 접촉부에 도출부를 구성하는 단계를 추가로 포함하고, 상기 도출부를 형성하는 단계는, 상기 게이트 전극, 반도체층, 소스 전극 및



드레인 전극, 전력공급 라인과 동일 공정에서 동일 물질로 이루어지며, 아일랜드 패턴을 이루고, 서로 중첩되는 영역에 위치하는 제 1 내지 제 4 패턴을 차례대로 형성하는 단계인 것을 특징으로 한다.

<69> 그리고, 상기 도출부를 형성하는 단계는, 상기 박막트랜지스터를 덮는 영역에서, 상기 드레인 전극을 일부 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계 다음에, 상기 도출부 영역에 기둥형상의 도출부 패턴을 형성하는 단계를 포함하고, 상기 도출부 패턴을 이루는 물질은 유기절연물질에서 선택되며, 상기 유기전계발광층 및 제 2 전극을 서브픽셀 영역별로 형성하는 단계 다음에는, 상기 제 1, 2 기판을 합착하는 단계를 추가로 포함하며, 상기 제 1, 2 기판을 합착하는 단계에서는, 상기 도출부에서 제 1, 2 기판을 전기적으로 연결하는 단계를 포함하는 것을 특징으로 한다.

<70> 이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 상세히 설명한다.

<71> 본 발명에 따른 듀얼패널타입 유기전계발광 소자는 액티브 매트릭스형으로 구동되고, 유기전계발광층을 통해 발광된 빛을 상부전극인 제 1 전극쪽으로 발광시키는 상부발광방식으로 화면을 구현하는 것을 특징으로 한다.

<72> -- 제 1 실시예 --

<73> 도 5는 본 발명의 제 1 실시예에 따른 듀얼패널타입 유기전계발광 소자에 대한 단면도로서, 설명의 편의상 어레이 소자에 대해서는 구동 박막트랜지스터를 중심으로 도시

하였고, 그외 스토리지 캐패시턴스 및 스위칭 박막트랜지스터는 상기 도 1의 화소 구조를 적용할 수 있다.

<74> 도시한 바와 같이, 화면을 구현하는 최소단위인 서브픽셀(sub-pixel) 단위로 제 1, 2 기판(110, 150)이 서로 일정간격 이격되어 대향되게 배치되어 있고, 제 1 기판(110, 150)의 내부면에는 서브픽셀 단위로 형성된 박막트랜지스터(T)를 포함하는 어레이 소자층(140)이 형성되어 있으며, 어레이 소자층(140) 상부에는 박막트랜지스터(T)와 연결된 연결전극(132)이 형성되어 있다.

<75> 그리고, 상기 제 2 기판(150)의 내부면에는 제 1 전극(152)이 형성되어 있고, 제 1 전극(152) 하부면에는 서브픽셀 영역별 경계부에 절연막(154) 및 격벽(156)이 차례대로 형성되어 있고, 격벽(156)에 의해 별도의 패터닝 공정없이 격벽(156) 내부영역에 유기전계발광층(158) 및 제 2 전극(160)이 서브픽셀 단위로 차례대로 형성되어 있다.

<76> 상기 제 1, 2 전극(152, 160) 및 유기전계발광층(158)는 유기전계발광 다이오드 소자(E)를 이룬다.

<77> 도면으로 제시하지는 않았지만, 상기 격벽(156)은 평면적으로 서브픽셀 영역별 경계부를 두르는 틀(frame) 구조를 이루며, 특히 제 2 전극(160)을 서브픽셀 단위로 분리시키는 제 1 영역 및 전술한 연결전극(132)과 제 2 전극(160)간의 연결을 격벽(156) 형성부에서 이루도록 하는 제 2 영역 그리고, 제 2 영역과 제 1 영역간에 위치하며, 이웃하는 서브픽셀 단위 제 2 전극(160) 간에 단락(short)되는 것을 방지하기 위한 제 3 영역을 가지는 것을 특징으로 한다.

- <78> 즉, 상기 도면 상의 격벽(156) 패턴은 전술한 제 2 영역에 해당되며, 상기 연결전극(132)은 격벽(156)을 덮는 영역에 형성된 제 2 전극(160)의 하부면과 접촉되는 것을 특징으로 한다.
- <79> 그리고, 상기 제 1, 2 기판(110, 150)의 가장자리부는 셀패턴(170)에 봉지되는데, 이때 상기 제 1, 2 기판(110, 150)의 내부 영역은 수분 및 대기 중에 노출되지 않도록 불활성 기체나 액체가 채워진 상태에서 합착되어 봉지된다.
- <80> 상기 어레이 소자층(140)의 적층구조에 대해서 좀 더 상세히 설명하면, 제 1 기판(110) 전면에는 버퍼층(112)이 형성되어 있고, 버퍼층(112) 상부에는 서브픽셀 단위로 활성 영역(I) 및 활성 영역(I)의 양측에 위치하는 소스 영역(II) 및 드레인 영역(III)이 정의된 반도체층(114)이 형성되어 있고, 반도체층(114)의 활성 영역(I) 상에는 게이트 절연막(116) 및 게이트 전극(118)이 차례대로 형성되어 있고, 게이트 전극(118)을 덮는 기판 전면에는, 전술한 반도체층(114)의 소스 영역(II) 및 드레인 영역(III)을 일부 노출시키는 제 1, 2 콘택홀(120, 122)을 가지는 제 1 보호층(124)이 형성되어 있고, 제 1 보호층(124) 상부에는 제 1, 2 콘택홀(120, 122)을 통해 반도체층(114)의 소스 영역(II) 및 드레인 영역(III)과 연결되어 소스 전극(126) 및 드레인 전극(128)이 각각 형성되어 있고, 소스 전극(126) 및 드레인 전극(128)을 덮는 기판 전면에는, 드레인 전극(128)을 일부 노출시키는 제 3 콘택홀(130)을 가지는 제 2 보호층(131)이 형성되어 있고, 제 2 보호층(131) 상부에는 제 3 콘택홀(130)을 통해 드레인 전극(128)과 연결되어 연결전극(132)이 형성되어 있다. 그리고, 상기 연결전극(132)은, 전술한 격벽(156)을 덮는 영역에 형성된 제 2 전극(160)의 하부면과 접촉되어, 상기 드레인 전극(128)에서 제공되는 전류를 제 2 전극(160)에 전달하는 역할을 하는 것을 특징으로 한다.

- <81>       상기 반도체층(114), 게이트 전극(118), 소스 전극(126), 드레인 전극(128)은 구동 박막트랜지스터(T)를 이룬다.
- <82>       도면으로 상세히 제시하지는 않았지만, 상기 구동 박막트랜지스터(T)와 연결되어 화소 구동용 스토리지 캐패시턴스가 형성되고, 상기 구동 박막트랜지스터(T)의 게이트 전극(116)은 미도시한 스위칭 박막트랜지스터의 드레인 전극과 연결된다.
- <83>       -- 제 2 실시예 --
- <84>       도 6은 본 발명의 제 2 실시예에 따른 듀얼패널타입 유기전계발광 소자에 있어서, 적, 녹, 청 서브픽셀로 이루어진 하나의 픽셀 영역에 대한 격벽 구조를 도시한 도면이다.
- <85>       도시한 바와 같이, 적, 녹, 청 서브픽셀의 경계부를 두르는 위치에 격벽(210)이 형성되어 있고, 격벽(210) 내 영역에는 격벽(210)에 의해 서브픽셀 단위로 자동 분리된 제 2 전극(212)이 서브픽셀 단위로 각각 형성되어 있다.
- <86>       좀 더 상세히 설명하면, 상기 격벽(210)은 제 2 전극(212)을 서브픽셀 단위로 분리시키기 위한 패턴이 형성된 제 1 영역(IV)과, 제 2 전극(212)과 미도시한 연결 전극을 접촉시킴에 있어서, 연결 전극을 격벽(210) 형성부에서 제 2 전극(212)과 접촉시키기 위한 패턴이 형성된 제 2 영역(V)과, 제 1, 2 영역(IV, V) 사이 구간에 위치하며, 서로 이웃하는 제 2 전극(212)간에 단락되는 것을 방지하기 위한 패턴이 형성된 제 3 영역(VI)으로 구성된다.

- <87>       상기 격벽(210)의 제 1 내지 3 영역(IV, V, VI)에 형성된 패턴들은 서로 일체형으로 이루어지며, 영역별로 전술한 역할에 맞게 패턴구조를 달리하는 것을 특징으로 한다.
- <88>       이하, 본 발명에 따른 듀얼패널타입 유기전계발광 소자용 유기전계발광 다이오드 소자에 대한 제조 공정을 통해, 상기 격벽의 패턴 구조를 상세히 설명한다.
- <89>       도 7a 내지 7c는 상기 도 6의 절단선 A-A, B-B, C-C에 따라 각각 절단된 단면에 대한 단면도로서, 절단선 A-A, B-B, C-C에 따라 절단된 영역은 각각 순서대로 상기 도 6의 제 1 내지 3 영역에 해당된다.
- <90>       도시한 바와 같이, 서브픽셀 영역이 정의된 기판(250) 상부면을 덮는 영역에 제 1 전극(252)이 형성되어 있고, 제 1 전극(252) 상부의 서브픽셀 경계부에 절연막(254) 및 격벽(256)이 형성되어 있고, 격벽(256)에 의해 서브픽셀별로 자동적으로 분리되어 유기전계발광층(258) 및 제 2 전극(260)이 형성되어 있는 구조에서, 도 7a는 격벽(256)의 제 1 영역(IV)에 형성된 패턴구조를 나타낸 것으로, 이 영역에 형성된 격벽(256)패턴은 역테이퍼를 가지는 상광하협(上廣下狹) 구조의 사다리꼴 형상을 가지는 것을 특징으로 한다.
- <91>       상기 격벽(256) 양측 서브픽셀 영역에는 유기전계발광층(258) 및 제 2 전극(260)이 차례대로 형성되어 있다.
- <92>       상기 유기전계발광층(258) 및 제 2 전극(260)은, 격벽(256)이 형성된 기판 상에 유기전계발광물질(257) 및 제 2 전극 물질(259)을 차례대로 형성한 다음, 격벽(256)이 이루는 역테이퍼 구조에 의해 자동적으로 서브픽셀 단위로 분리되는 방법에 의해 유기전계

발광층 및 제 2 전극(260)을 이루며, 이에 따라 격벽(256)의 상부면에는 유기전계발광물질(257) 및 제 2 전극 물질(259)이 그대로 잔존한다.

<93> 그리고, 상기 격벽(256) 상부면에는 유기전계발광물질(258) 및 제 2 전극 물질(260)이 차례대로 잔존하지만, 격벽(256)이 가지는 높이감에 의해 유기전계발광층(258) 및 제 2 전극(260)과의 단락이 방지된다.

<94> 도 7b에서는, 전술한 제 2 전극(260)과 미도시한 연결 전극을 비발광 영역에 해당하는 격벽(256) 형성부에서 접촉시키기 위한 목적으로, 기판(250)과 직교되는 방향으로 격벽(256)의 양쪽이 비대칭적인 구조를 가지는 것을 특징으로 한다.

<95> 좀 더 상세하게 설명하면, 상기 격벽(256)의 일측은 상기 도 7a에서와 같은 역테이퍼 구조를 가지고, 또 다른 일측은 경사진 구조를 가져 경사진 측면으로 서브픽셀 영역에 형성되는 제 2 전극(260)이 전술한 영역에까지 일체형으로 위치하여, 상기 격벽(256) 상부에 위치하는 제 2 전극(260) 형성부는 미도시한 연결전극과 접촉되는 것을 특징으로 한다.

<96> 이러한 본 발명의 격벽구조에 의해, 별도의 스페이서 형태의 연결패턴없이도 제 2 전극과 연결전극을 용이하게 접촉시킬 수 있고, 제 2 전극과 연결전극을 비발광 영역에서 접촉시킴에 따라 발광 영역에서 발생할 수 있는 불량을 줄일 수 있다.

<97> 도 7c는 제 3 영역(VI)을 주 영역으로 하여, 제 3 영역(VI)과 이웃하는 제 2 영역(V) 일부 영역을 도시한 단면도로서, 도시한 바와 같이 격벽(256) 패턴은 서로 일정간격이격되게 배치된 다수 개의 오목부(262)를 가지고, 제 3 영역(VI)에서의 격벽(256) 패턴 상부면 및 오목부(262) 영역에는 유기전계발광물질(257) 및 제 2 전극물질(259)이 차례

대로 적층되어 있다. 그리고, 상기 제 2 영역(V)에 위치하는 격벽(256) 상부에 차례대로 적층된 유기전계발광 물질 및 제 2 전극 물질은 상기 도 7b에서 전술한 바와 같이 유기전계발광층(258) 및 제 2 전극(260)으로 각각 이용된다.

<98>       상기 격벽(256)의 오목부(262) 두께는 하부층을 이루는 절연막(254)을 노출시키지 않는 범위에서 일정두께를 가지도록 형성되며, 이러한 오목부(262) 패턴은 서로 다른 두께로 패터닝할 수 있는 회절노광(diffraction exposure)을 포함한 사진식각공정에 의해 패터닝될 수 있다.

<99>       -- 제 3 실시예 --

<100>       도 8은 본 발명의 제 3 실시예에 따른 듀얼패널타입 유기전계발광 소자용 유기전계발광 다이오드 소자의 제조 공정을 단계별로 나타낸 공정흐름도이다.

<101>       ST1에서는, 서브픽셀 영역이 정의된 기판 상에 제 1 전극을 형성하는 단계이다.

<102>       상기 제 1 전극을 이루는 물질은 투명 도전성 물질에서 선택되며, 한 예로 ITO(indium tin oxide)를 들 수 있다.

<103>       ST2에서는, 상기 제 1 전극 상부의 서브픽셀 영역간 경계부를 두르는 위치에 절연막 및 격벽을 형성하는 단계이다.

<104>       상기 절연막은 제 1 전극과 격벽간의 접촉특성을 향상시키기 위한 패턴으로써, 상기 절연막을 이루는 물질은 실리콘 절연물질에서 선택되는 것이 바람직하며, 더욱 바람직하게는 실리콘 질화막( $\text{SiN}_x$ ), 실리콘 산화막( $\text{SiO}_x$ ) 중 어느 한 물질로 하는 것이다.

- <105>        상기 격벽은, 유기전계발광층 및 제 2 전극을 서브픽셀 단위로 별도의 패터닝 공정 없이 자동 분리하기 위해 역테이퍼 구조를 가지는 패턴으로 형성된 제 1 영역과, 상기 제 2 전극과 연결전극을 상기 격벽 형성부에서 접촉시키기 위해 비대칭적인 구조를 가지는 패턴으로 형성된 제 2 영역과, 상기 제 1, 2 영역 사이 구간에서 이웃하는 제 2 전극 간의 단락을 방지하기 위한 목적으로 서로 일정간격 이격된 다수 개의 오목부를 가지는 패턴으로 형성된 제 3 영역으로 이루어진 것을 특징으로 한다.
- <106>        한 예로, 상기 격벽은 포토레지스트(photoresist)를 이용하여, 노광(exposure), 현상(developing) 공정을 포함하는 사진식각공정에 의해 패터닝할 수 있다.
- <107>        상기 격벽은 기본적으로 일정두께치를 가지며, 상부면 일부에 선택적으로 오목부를 형성하기 때문에, 상기 사진식각공정 중 노광공정에서 빛의 회절현상에 의해 원하는 부위만 선택적으로 노광시키는 회절노광법을 이용하는 것이 바람직하다.
- <108>        좀 더 상세히 설명하면, 상기 격벽이 노광된 부분이 제거되는 포지티브 타입 포토레지스트로 이루어질 경우, 상기 오목부와 대응된 위치에 빛의 세기를 약화시킬 수 있는 슬릿패턴을 가지는 마스크를 배치한 다음 노광공정을 진행하게 되면, 전술한 두께차를 가지는 제 3 영역 상의 격벽패턴을 형성할 수 있다.
- <109>        그리고, 상기 격벽의 제 2 영역에 해당하는 비대칭 구조 패턴은, 일측은 역테이퍼 구조로 이루어져, 이웃하는 제 2 전극과 분리되도록 하고, 또 다른 일측은 경사진 측면으로 이루어져 해당 제 2 전극이 서브픽셀 영역에서 격벽 상부면으로 일체형으로 연장형성되어, 격벽 상부면에 형성된 제 2 전극이 연결전극과 접촉되는 것을 특징으로 한다.



- <110>       상기 격벽의 경사진 측면 구조는, 전술한 노광공정에 이용되는 마스크의 패턴에 형성되는 오픈부의 폭 및 오픈부간의 간격을 조절하는 것으로 가능하다.
- <111>       예를 들어, 포지티브 타입 포토레지스트를 이용하여 격벽을 형성할 경우, 상기 경사진 격벽패턴은 격벽의 중심부에서 측면쪽으로 마스크의 오픈부 폭 및 오픈부간 간격을 좁히는 방법에 의해 형성할 수 있다.
- <112>       ST3에서는, 상기 격벽이 형성된 기판에 유기전계발광물질 및 제 2 전극 물질을 차례대로 형성하여, 상기 격벽에 의해 유기전계발광물질 및 제 2 전극 물질이 자도 분리되도록 하며, 이때 격벽의 비대칭적인 패턴구조를 가지는 제 2 영역상에 형성된 유기전계발광물질 및 제 2 전극 물질은 서브픽셀 영역과 별도의 분리됨없이 일체형으로 형성되어, 상기 영역에서 대향기판에 형성되는 연결전극과 접촉되게 된다.
- <113>       즉, 상기 제 1, 3 영역의 격벽 상부면에 위치하는 유기전계발광물질 및 제 2 전극 물질은 유기전계발광층 및 제 2 전극 역할을 수행하지 못하지만, 상기 제 2 영역의 격벽 상부면에 위치하는 유기전계발광물질 및 제 2 전극 물질은 서브픽셀 영역에 위치하는 유기전계발광층 및 제 2 전극으로 이용된다.
- <114>       상기 제 1 전극이 양극이고, 제 2 전극이 음극에 해당할 경우, 유기전계발광층은 정공주입층, 정공수송층, 발광층, 전자수송층, 전자주입층이 차례대로 적층된 구조로 이루어질 수 있다.

<115>       -- 제 4 실시예 --

- <116> 도 9는 본 발명의 제 4 실시예에 따른 듀얼패널타입 유기전계발광 소자용 유기전계 발광 다이오드 소자용 어레이 기판에 대한 단면도로서, 유기전계발광 다이오드 기판의 격벽과 연결되는 영역을 중심으로 도시하였다.
- <117> 도시한 바와 같이, 기판(310) 상에 제 1 금속물질로 이루어진 게이트 전극(312) 및 제 1 패턴(314)이 서로 이격되게 형성되어 있고, 게이트 전극(312) 및 제 1 패턴(314)을 덮는 영역에 게이트 절연막(316)이 형성되어 있으며, 게이트 절연막(316) 상부에는 제 1, 2 반도체 물질로 이루어지며, 상기 게이트 전극(312)을 덮는 영역에 형성된 반도체층(318)과, 상기 제 1 패턴(314)을 덮는 영역에 제 2 패턴(320)이 형성되어 있다.
- <118> 좀 더 상세히 설명하면, 상기 반도체층(318)은 액티브층(318a) 및 오믹콘택층(318b)이 차례대로 적층된 구조로 이루어지고, 상기 제 2 패턴(320)은 제 2a 패턴(320a) 및 제 2b 패턴(320b)으로 이루어진다.
- <119> 한 예로, 상기 액티브층(318a) 및 제 2a 패턴(320a)을 이루는 제 1 반도체 물질은 비정질 실리콘 물질에서 선택되고, 오믹콘택층(318b) 및 제 2b 패턴(320b)을 이루는 제 2 반도체 물질은 불순물 비정질 실리콘 물질에서 선택된다.
- <120> 그리고, 상기 반도체층(318) 상부에서 서로 이격되게 소스 전극(322) 및 드레인 전극(324)이 형성되어 있고, 소스 전극(322) 및 드레인 전극(324)과 동일 공정에서 동일 물질로 이루어지며, 상기 제 2 패턴(320)과 대응된 위치에 제 3 패턴(326)이 형성되어 있다.

- <121>       상기 소스 전극(322) 및 드레인 전극(324) 그리고, 제 3 패턴(326)을 덮는 영역에 위치하며, 소스 전극(322)을 일부 노출시키는 제 1 콘택홀(328)을 가지는 층간 절연막(330)이 형성되어 있고, 층간 절연막(330) 상부에서 제 1 콘택홀(328)을 통해 소스 전극(322)과 연결되는 전력공급 라인(332)이 형성되어 있고, 전력공급 라인(332)과 동일 공정에서 동일 물질로 이루어지며, 층간 절연막(330) 상부의 제 2 패턴(334)을 덮는 영역에 제 4 패턴(336)이 형성되어 있고, 전력공급 라인(332) 및 제 4 패턴(336)을 덮는 영역에서, 층간절연막(330)과 함께 드레인 전극(324)을 일부 노출시키는 드레인 콘택홀(338)을 가지는 보호층(340)이 형성되어 있고, 보호층(340) 상부에는 드레인 콘택홀(338)을 통해 드레인 전극(324)과 연결되는 연결 전극(342)이 형성되어 있다.
- <122>       상기 게이트 전극(312), 반도체층(318), 소스 전극(322) 및 드레인 전극(324)은 박막트랜지스터(T)를 이루고, 도면으로 상세히 제시하지는 않았지만, 상기 전력공급 라인(332)은 전술한 박막트랜지스터(T)에 전력공급 신호를 제공하는 라인에 해당된다.
- <123>       상기 연결 전극(342)은 제 4 패턴(336)을 덮는 영역을 포함하여 형성된 것을 특징으로 한다.
- <124>       상기 제 1 내지 제 4 패턴(314, 320, 326, 336) 그리고, 연결 전극(342)이 중첩되는 영역은 도출부(VII)를 이룬다.
- <125>       상기 도출부(VII)에서의 제 1 높이(H1)는 박막트랜지스터(T)에서의 제 2 높이(H2)보다 높은 것을 특징으로 한다.
- <126>       본 발명에서는, 각 서브픽셀별 경계부를 두르는 위치에 형성되는 격벽의 패턴 변경을 통해, 격벽의 일부 영역에 위치하는 제 2 전극과 연결 전극을 연결시키는 구조인 것

을 특징으로 하는데, 상기 격벽(상기 도 5의 156)의 두께는 일정하므로, 어레이 기판의 연결 전극과의 접촉부의 높이가 다수의 적층막들로 구성되는 박막트랜지스터(T)에서보다 낮음으로 인하여, 인접화소와의 전기적 연결에 의한 불량 발생될 수 있으므로, 이러한 단점을 개선하기 위하여, 본 실시예에서는 박막트랜지스터(T)를 구성하는 적층막들의 총 두께보다 높은 높이를 가지는 도출부(VII)를 구성하는 것을 특징으로 한다.

<127> 특히, 상기 제 1 내지 제 4 패턴(314, 320, 326, 336)은 각각 전기적 연결구조를 가지지 않는 아일랜드 패턴으로 형성하며, 별도의 공정추가없이 상기 게이트 전극(312), 반도체층(318), 소스 전극(322) 및 드레인 전극(324), 전력공급 라인(332)의 제조 단계에서 형성하는 것을 특징으로 한다.

<128> 그리고, 전술한 박막트랜지스터(T)는 유기전계발광 다이오드 소자(상기 도 5의 E)와 연결되는 구동 박막트랜지스터에 해당되며, 본 실시예에서와 같이 역스태거드형 박막트랜지스터외에도 다른 구조 박막트랜지스터 구조도 적용할 수도 있다.

<129> -- 제 5 실시예 --

<130> 본 실시예는, 상기 실시예 4와 같이 박막트랜지스터의 높이보다 대향기판의 유기전계발광 다이오드 소자와 접촉되는 전기적 접촉부에서의 높이를 높게 형성하기 위해 도출부를 형성함에 있어서, 별도의 도출부 패턴을 이용하여 도출부의 높이를 박막트랜지스터부의 높이보다 높게하는 실시예이다.

<131> 도 10은 본 발명의 제 5 실시예에 따른 듀얼패널타입 유기전계발광 소자용 유기전계발광 다이오드 소자용 어레이 기판에 대한 단면도로서, 유기전계발광 다이오드 기판의

격벽과 연결되는 영역을 중심으로 도시하며, 상기 도 9와 중복되는 부분에 대한 설명은 간략히 한다.

<132> 도시한 바와 같이, 기판(410) 상에 게이트 전극(412), 반도체층(418), 소스 전극(422) 및 드레인 전극(424)으로 이루어진 박막트랜지스터(T)가 형성되어 있고, 박막트랜지스터(T)를 덮는 위치에서 소스 전극(422)을 일부 노출시키는 제 1 콘택홀(428)을 가지는 층간 절연막(430)이 형성되어 있고, 층간 절연막(430) 상부에는 제 1 콘택홀(428)을 통해 소스 전극(422)과 연결되는 전력공급 라인(432)이 형성되어 있고, 전력공급 라인(432)을 덮는 영역에서, 상기 층간 절연막(430)과 함께 드레인 전극(424)을 일부 노출시키는 드레인 콘택홀(438)을 가지는 보호층(440)이 형성되어 있고, 보호층(440) 상부에는 박막트랜지스터(T)와 이격되게 기둥형상의 도출부 패턴(442)이 형성되어 있고, 도출부 패턴(442) 및 보호층(440)을 덮는 영역에는 드레인 콘택홀(438)을 통해 드레인 전극(424)과 연결되는 연결 전극(444)이 형성되어 있다.

<133> 상기 도출부 패턴(442)과 중첩된 영역은 도출부(VIII)를 이루며, 도출부(VIII)에서의 제 1 높이(H11)는 박막트랜지스터(T)부에서의 제 2 높이(H22)보다 높은 것을 특징으로 한다.

<134> 상기 도출부 패턴(442)을 이루는 물질은 절연물질에서 선택되며, 바람직하게는 코팅을 통해 두께감있게 형성하기가 용이한 유기물질에서 선택하는 것이다.

<135> -- 제 6 실시예 --

- <136> 도 11은 본 발명의 제 6 실시예에 따른 듀얼패널타입 유기전계발광 소자의 제조 공정을 단계별로 나타낸 공정흐름도로서, 어레이 기판의 도출부 형성 공정을 중심으로 설명하고, 역스태거드형 박막트랜지스터를 포함하는 구조를 일 예로 한다.
- <137> STI는, 서브픽셀 영역이 정의된 제 1, 2 기판을 구비하는 단계와, 상기 제 2 기판 상에 제 1 전극을 형성하는 단계와, 상기 제 1 전극 상부의 서브픽셀 영역간 경계부를 두르는 위치에 절연층 및 격벽을 형성하는 단계와, 상기 절연층 및 격벽을 경계부로 하여, 유기전계발광층 및 제 2 전극을 서브픽셀 영역별로 형성하는 단계를 포함하며, 상기 격벽은 양측이 역테이퍼 구조를 가지는 패턴으로 이루어진 제 1 영역과, 일측은 역테이퍼 구조를 가지고, 또 다른 일측은 경사진 구조를 가지는 패턴으로 이루어진 제 2 영역과, 상기 제 1, 2 영역 사이 구간에 위치하여, 서로 일정간격 이격된 다수 개의 오목부를 가지는 패턴으로 이루어진 제 3 영역으로 이루어지는 것을 특징으로 한다.
- <138> 상기 격벽을 형성하는 단계에서는, 빛의 세기를 선택적으로 조절하는 회절노광법에 의해 패터닝되는 것을 특징으로 한다.
- <139> ST2에서는, 상기 제 2 기판 상에 박막트랜지스터를 형성하는 단계와, 상기 박막트랜지스터보다 높은 높이를 가지는 도출부를 형성하는 단계이다.
- <140> 상기 박막트랜지스터를 형성하는 단계에서는, 게이트 전극, 반도체층, 소스 전극 및 드레인 전극, 전력공급 라인을 형성하는 단계를 차례대로 포함하고, 상기 박막트랜지스터 형성부보다 높은 높이를 가지며, 상기 격벽의 제 2 영역과 연결 전극의 연결부에서 도출부를 구성하는 단계를 추가로 포함한다.

- <141>       상기 도출부를 형성하는 단계는, 상기 게이트 전극, 반도체층, 소스 전극 및 드레인 전극, 전력공급 라인과 동일 공정에서 동일 물질로 이루어지며, 아일랜드 패턴을 이루고, 서로 중첩되는 영역에 위치하는 제 1 내지 제 4 패턴을 차례대로 형성하는 단계 또는, 상기 박막트랜지스터를 덮는 영역에서, 상기 드레인 전극을 일부 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계 다음에, 상기 도출부 영역에 기둥형상의 도출부 패턴을 형성하는 단계를 포함한다.
- <142>       후자의 방법에 따른 상기 도출부 패턴을 이루는 물질은 유기절연물질에서 선택되는 것이 바람직하다.
- <143>       ST3에서는, 상기 제 1, 2 기판을 합착하는 단계로서, 이 단계에서는 제 2 기판에서 격벽의 제 2 영역에 형성된 제 2 전극과, 상기 제 1 기판의 도출부 영역의 연결 전극을 접촉시키는 방법으로, 어레이 소자와 유기전계발광 다이오드 소자를 연결하는 것을 특징으로 한다.
- <144>       그러나, 본 발명은 상기 실시예들로 한정되지 않고, 본 발명의 취지에 어긋나지 않는 한도 내에서 다양하게 변경하여 실시할 수 있다.

#### 【발명의 효과】

- <145>       이상과 같이, 본 발명에 따른 격벽 구조를 가지는 듀얼패널타입 유기전계발광 소자에 의하면 다음과 같은 효과를 가진다.
- <146>       첫째, 어레이 소자와 유기전계발광 다이오드 소자를 서로 다른 기판 상에 형성하기 때문에 생산수율 및 생산관리 효율을 향상시킬 수 있고, 제품수명을 늘릴 수 있다.

- <147> 둘째, 상부발광방식이기 때문에 박막트랜지스터 설계가 용이해지고 고개구율/고해상도 구현이 가능하다.
- <148> 셋째, 격벽을 이용하여 연결전극과 제 2 전극을 연결시키기 때문에, 별도의 스페이서 형태의 연결패턴 공정을 생략할 수 있다.
- <149> 넷째, 비발광 영역인 격벽 형성부에서 제 2 전극과 연결전극을 연결시키기 때문에, 발광 영역에 손상이 가해질 확률을 줄일 수 있다.
- <150> 다섯째, 어레이 기판에서, 게이트 전극, 반도체층, 소스 전극 및 드레인 전극, 전력공급 라인의 제조 공정에서 아일랜드 패턴 형상이며, 서로 중첩된 패턴을 형성하여, 상기 패턴들과 연결 전극이 중첩되는 영역을 도출부로 이용함에 따라, 별도의 공정추가 없이 박막트랜지스터 형성부보다 높은 높이를 가지는 도출부를 형성하는 방법으로, 인접 화소와의 전기적 연결에 의한 불량을 방지하여 생산수율을 높일 수 있다.
- <151> 여섯째, 상기 도출부를 구성함에 있어서, 연결 전극을 형성하기 전에, 박막트랜지스터와 이격된 구간에 기둥형상의 도출부 패턴을 형성하여, 상기 도출부 패턴을 통해 박막트랜지스터 형성부보다 높은 높이를 가지는 도출부를 형성하는 방법으로 인접화소와의 전기적 연결에 의한 불량을 방지하여 생산수율을 높일 수 있다.



## 【특허청구범위】

## 【청구항 1】

서브픽셀 영역이 정의된 제 1, 2 기판과;

상기 제 1 기판 내부면에 서브픽셀 단위로 형성된 다수 개의 박막트랜지스터를 포함하는 어레이 소자층과;

상기 어레이 소자층 상부에서 박막트랜지스터와 연결된 연결전극과;

상기 제 2 기판의 내부면에 형성된 제 1 전극과;

상기 제 1 전극 하부의 서브픽셀 영역간 경계부에 차례대로 형성된 절연층 및 격벽과;

상기 격벽을 경계부로 하여, 서브픽셀 단위로 형성된 유기전계발광층 및 제 2 전극

을 포함하며, 상기 유기전계발광층으로부터 발광된 빛은 제 1 전극쪽으로 발광되고, 상기 격벽은 상기 유기전계발광층 및 제 2 전극을 서브픽셀 단위로 자동분리시키는 패턴구조를 가지는 제 1 영역과, 상기 제 2 전극과 연결전극을 상기 격벽 형성부에서 연결시키기 위한 패턴구조를 가지는 제 2 영역과, 상기 제 1, 2 영역간 이웃하는 제 2 전극간 단락(short)을 방지하기 위한 패턴구조를 가지는 제 3 영역을 가지며, 상기 격벽의 제 2 영역과 대응되는 위치에 형성된 제 2 전극은 상기 연결전극과 접촉되는 것을 특징으로 하는 듀얼패널타입 유기전계발광 소자.

**【청구항 2】**

제 1 항에 있어서,

상기 격벽은 제 1 영역에서 역테이퍼 구조를 가지는 패턴과, 제 2 영역에서 일측은 경사지고, 또 다른 일측은 역테이퍼를 가지는 비대칭적 구조의 패턴과, 제 3 영역에서 서로 일정간격 이격된 다수 개의 오목부를 가지는 패턴으로 이루어진 것을 특징으로 하는 듀얼패널타입 유기전계발광 소자.

**【청구항 3】**

제 2 항에 있어서,

상기 제 2, 3 영역에 해당하는 격벽 패턴은 회절노광법에 의해 이루어지는 것을 특징으로 하는 듀얼패널타입 유기전계발광 소자.

**【청구항 4】**

제 1 항에 있어서,

상기 제 1, 2 전극 및 유기전계발광층은 유기전계발광 다이오드 소자를 이루며, 상기 박막트랜지스터는 게이트 전극, 반도체층, 소스 전극, 드레인 전극으로 이루어지고 상기 유기전계발광 다이오드 소자에 전류를 공급하는 구동 박막트랜지스터에 해당되고, 상기 연결전극은 상기 드레인 전극과 연결되는 듀얼패널타입 유기전계발광 소자.

**【청구항 5】**

제 4 항에 있어서,

상기 제 1 기판에는, 상기 박막트랜지스터의 형성높이보다 높은 높이를 가지는 도출부를 추가로 포함하며, 상기 도출부에서 상기 연결 전극과 제 2 전극이 접촉되는 것을 특징으로 하는 듀얼패널타입 유기전계발광 소자.

**【청구항 6】**

제 5 항에 있어서,

상기 도출부에는, 상기 게이트 전극, 반도체층, 소스 전극 및 드레인 전극과 각각 동일 공정에서 동일 물질로 이루어지고, 아일랜드 패턴(island pattern)으로 이루어진 제 1 내지 제 3 패턴의 중첩되어 이루어진 듀얼패널타입 유기전계발광 소자.

**【청구항 7】**

제 6 항에 있어서,

상기 소스 전극과 연결되어 전력공급 라인이 추가로 형성되며, 상기 전력공급 라인과 동일 공정에서 동일 물질로 이루어지며, 상기 제 1 내지 제 3 패턴과 중첩되게 위치하는 제 4 패턴을 추가로 포함하는 듀얼패널타입 유기전계발광 소자.

**【청구항 8】**

제 5 항에 있어서,

상기 박막트랜지스터를 덮는 영역에는, 상기 드레인 전극을 일부 노출시키는 드레인 콘택홀을 가지는 보호층이 형성되고, 상기 보호층 상부에는 상기 도출부에 위치하는 기둥형상의 도출부 패턴이 형성되며, 상기 도출부 패턴 및 보호층을 덮는 영역에는 상기 드레인 콘택홀을 통해 드레인 전극과 연결되는 연결 전극이 형성된 듀얼패널타입 유기전계발광 소자.

**【청구항 9】**

제 8 항에 있어서,

상기 도출부 패턴을 이루는 물질은 절연물질에서 선택되는 듀얼패널타입 유기전계발광 소자.

**【청구항 10】**

제 9 항에 있어서,

상기 절연물질은 유기절연물질인 듀얼패널타입 유기전계발광 소자.

**【청구항 11】**

서로 다른 기판에, 박막트랜지스터를 포함하는 어레이 소자 및 제 1, 2 전극과, 상기 제 1, 2 전극 사이 구간에 위치하는 유기전계발광층을 포함하는 유기전계발광 다이오

드 소자를 각각 형성되고, 상기 어레이 소자 및 유기전계발광 다이오드 소자는 연결전극을 통해 연결되는 듀얼패널타입 유기전계발광 소자에서, 상기 유기전계발광 다이오드 소자를 포함하는 기관의 제조방법에 있어서,

서브픽셀 영역이 정의된 기관 상에 제 1 전극을 형성하는 단계와;

상기 제 1 전극 상부의 서브픽셀 영역간 경계부를 두르는 위치에 절연층 및 격벽을 형성하는 단계와;

상기 절연층 및 격벽을 경계부로 하여, 유기전계발광층 및 제 2 전극을 서브픽셀 영역별로 형성하는 단계

를 포함하며, 상기 격벽은 양측이 역테이퍼 구조를 가지는 패턴으로 이루어진 제 1 영역과, 일측은 역테이퍼 구조를 가지고, 또 다른 일측은 경사진 구조를 가지는 패턴으로 이루어진 제 2 영역과, 상기 제 1, 2 영역 사이 구간에 위치하여, 서로 일정간격 이격된 다수 개의 오목부를 가지는 패턴으로 이루어진 제 3 영역으로 이루어지고, 상기 연결전극은 상기 격벽의 제 2 영역에 형성된 제 2 전극과 접촉되는 것을 특징으로 하는 듀얼패널타입 유기전계발광 소자용 기관의 제조방법.

#### 【청구항 12】

제 11 항에 있어서,

상기 격벽을 형성하는 단계에서는, 빛의 세기를 선택적으로 조절하는 회절노광법에 의해 패터닝되는 것을 특징으로 하는 듀얼패널타입 유기전계발광 소자용 기관의 제조방법.

**【청구항 13】**

제 12 항에 있어서,

상기 제 2 영역에 형성된 경사진 격벽패턴은, 상기 회절노광 공정에 이용되는 마스크의 오픈부의 폭 및 오픈부간 간격 조절을 통해 이루어지는 듀얼패널타입 유기전계발광 소자용 기판의 제조방법.

**【청구항 14】**

제 12 항에 있어서,

상기 제 3 영역에 형성된 격벽패턴은, 상기 오목부와 대응되는 위치에서 슬릿패턴을 가지는 마스크를 이용한 회절노광 공정에 의해 이루어지는 듀얼패널타입 유기전계발광 소자용 기판의 제조방법.

**【청구항 15】**

제 11 항에 있어서,

상기 박막트랜지스터를 형성하는 단계에서는, 게이트 전극, 반도체층, 소스 전극 및 드레인 전극, 전력공급 라인을 형성하는 단계를 차례대로 포함하고, 상기 박막트랜지스터 형성부보다 높은 높이를 가지며, 상기 연결 전극과 제 2 전극의 접촉부에 도출부를 구성하는 단계를 추가로 포함하는 듀얼패널타입 유기전계발광 소자용 기판의 제조방법.

## 【청구항 16】

제 15 항에 있어서,

상기 도출부를 형성하는 단계는, 상기 게이트 전극, 반도체층, 소스 전극 및 드레인 전극, 전력공급 라인과 동일 공정에서 동일 물질로 이루어지며, 아일랜드 패턴을 이루고, 서로 중첩되는 영역에 위치하는 제 1 내지 제 4 패턴을 차례대로 형성하는 단계인 듀얼패널타입 유기전계발광 소자용 기판의 제조방법.

## 【청구항 17】

제 15 항에 있어서,

상기 도출부를 형성하는 단계는, 상기 박막트랜지스터를 덮는 영역에서, 상기 드레인 전극을 일부 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계 다음에, 상기 도출부 영역에 기둥형상의 도출부 패턴을 형성하는 단계를 포함하는 듀얼패널타입 유기전계발광 소자용 기판의 제조방법.

## 【청구항 18】

제 17 항에 있어서,

상기 도출부 패턴을 이루는 물질은 유기절연물질에서 선택되는 듀얼패널타입 유기전계발광 소자용 기판의 제조방법.

## 【청구항 19】

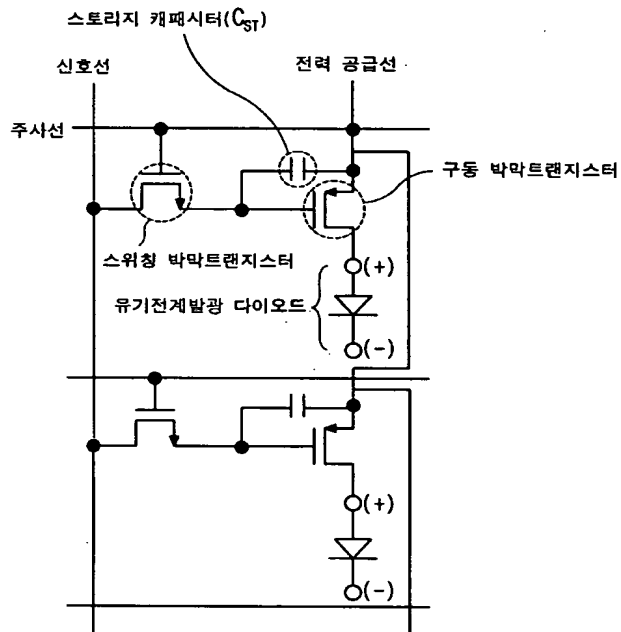
제 11 항 또는 제 15 항 중 적어도 어느 하나의 항에 있어서,

상기 유기전계발광층 및 제 2 전극을 서브픽셀 영역별로 형성하는 단계 다음에는, 상기 제 1, 2 기판을 합착하는 단계를 추가로 포함하며, 상기 제 1, 2 기판을 합착하는 단계에서는, 상기 도출부에서 제 1, 2 기판을 전기적으로 연결하는 단계를 포함하는 듀얼패널타입 유기전계발광 소자용 기판의 제조방법.

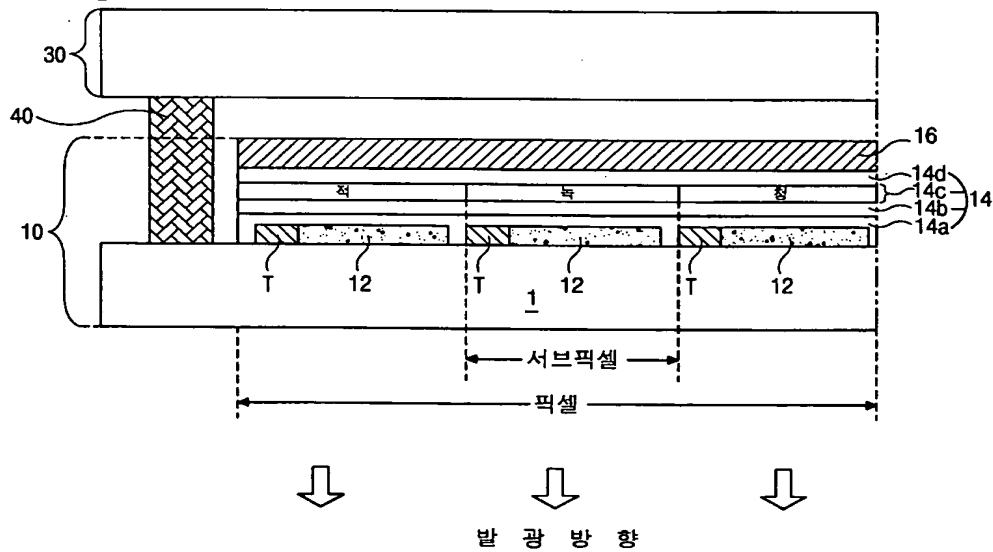


【도면】

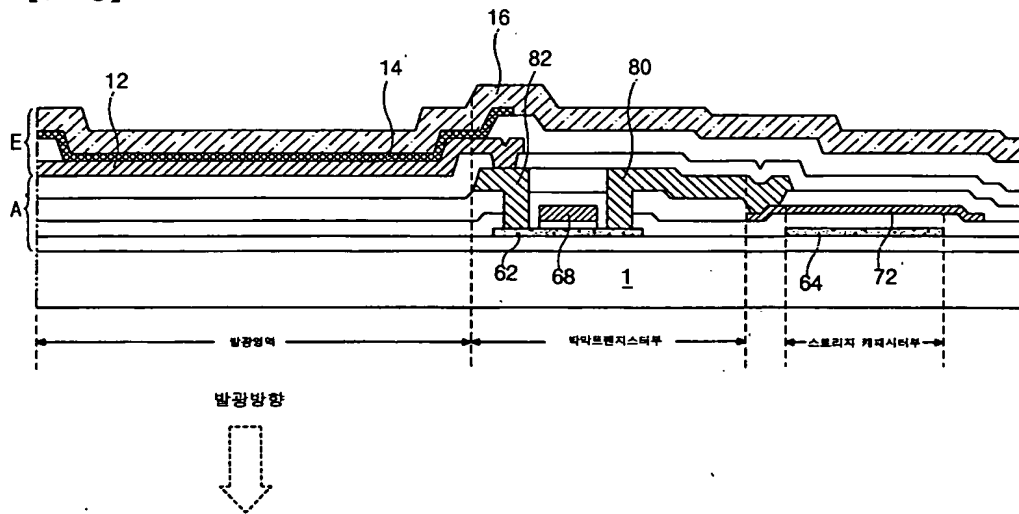
【도 1】



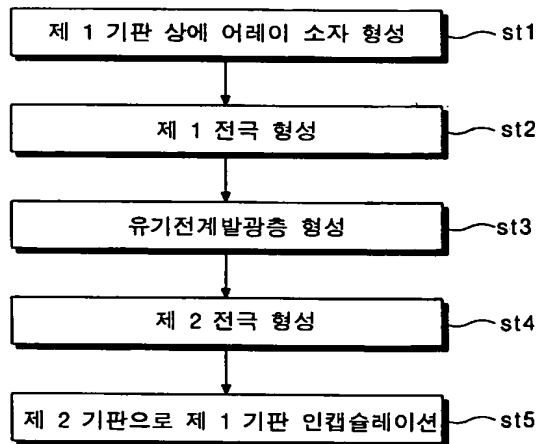
【도 2】



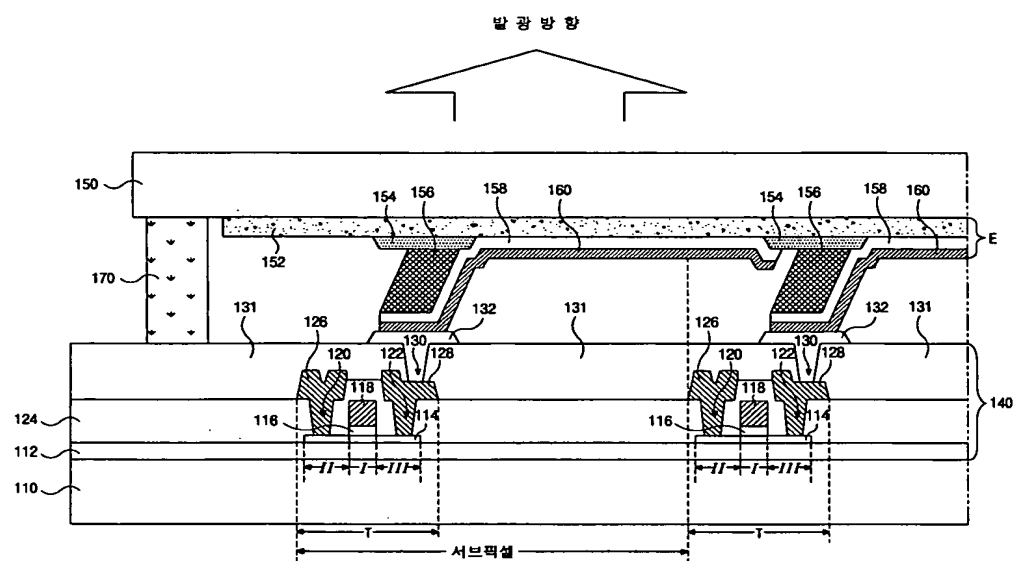
【도 3】



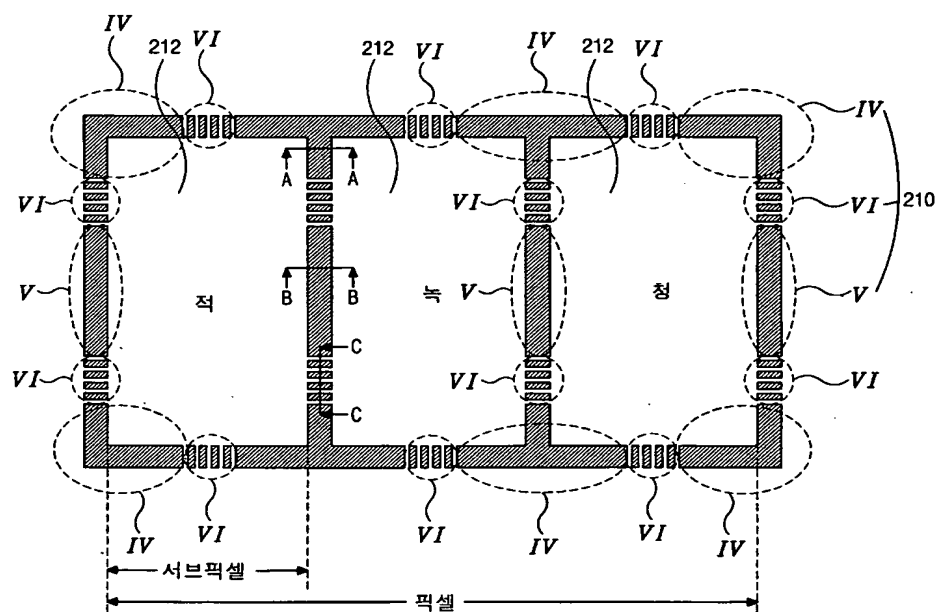
【도 4】



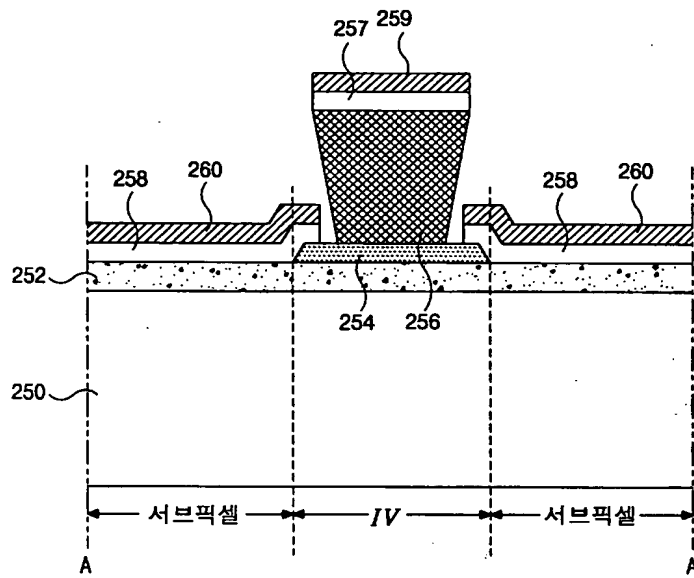
【도 5】



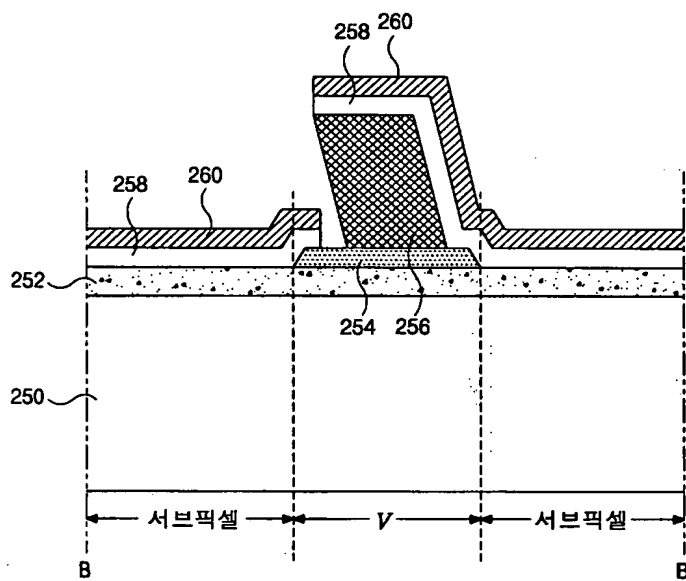
【도 6】



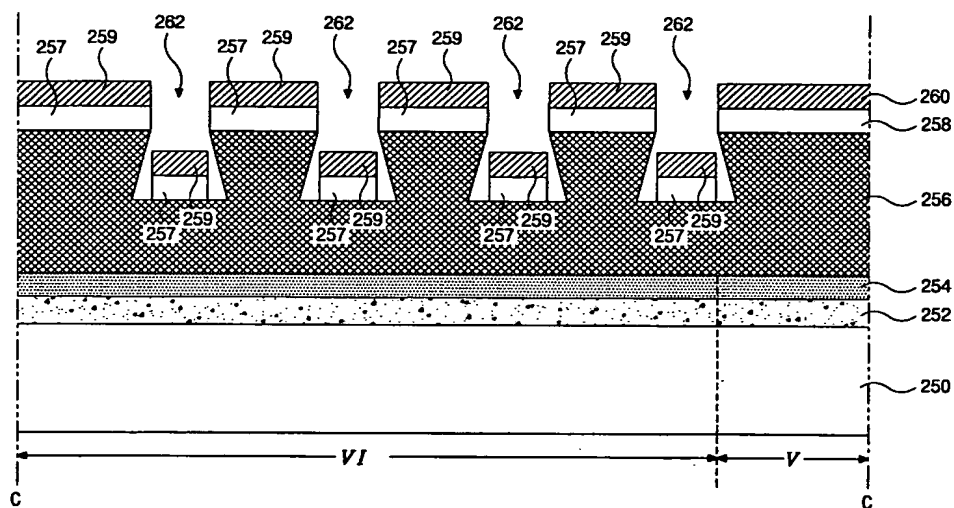
【도 7a】



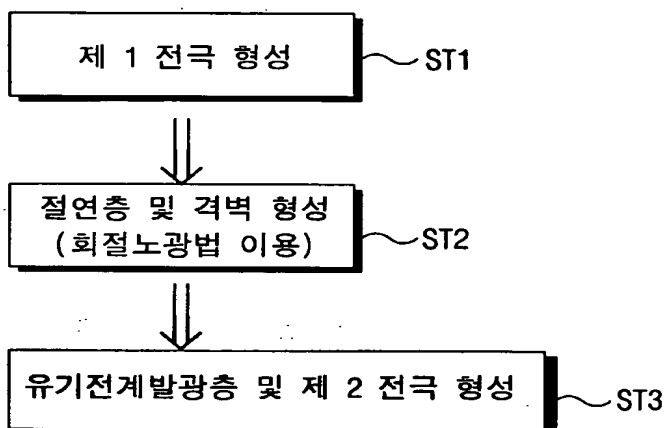
【도 7b】



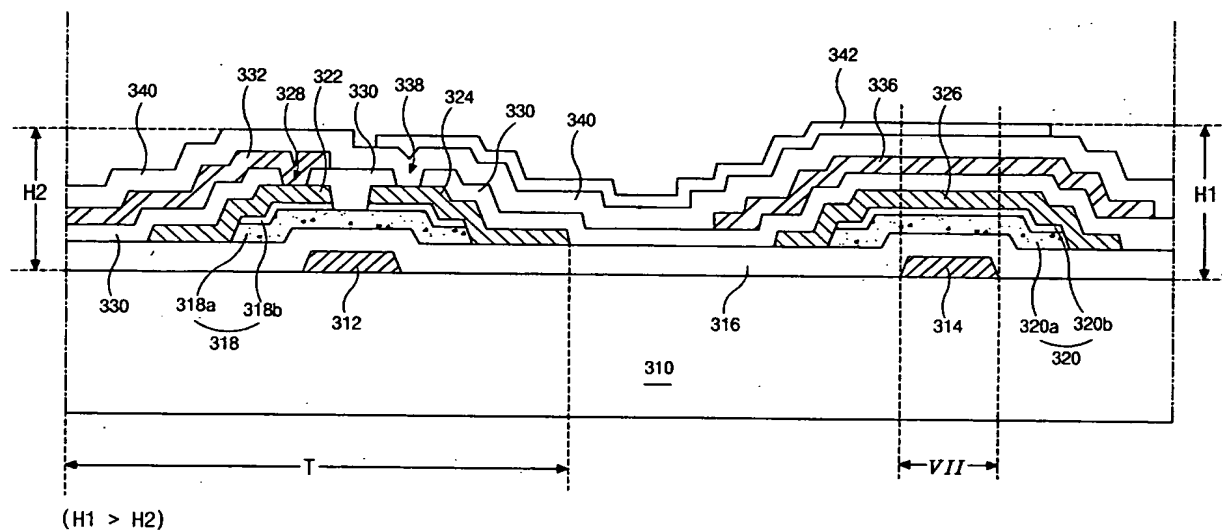
【도 7c】



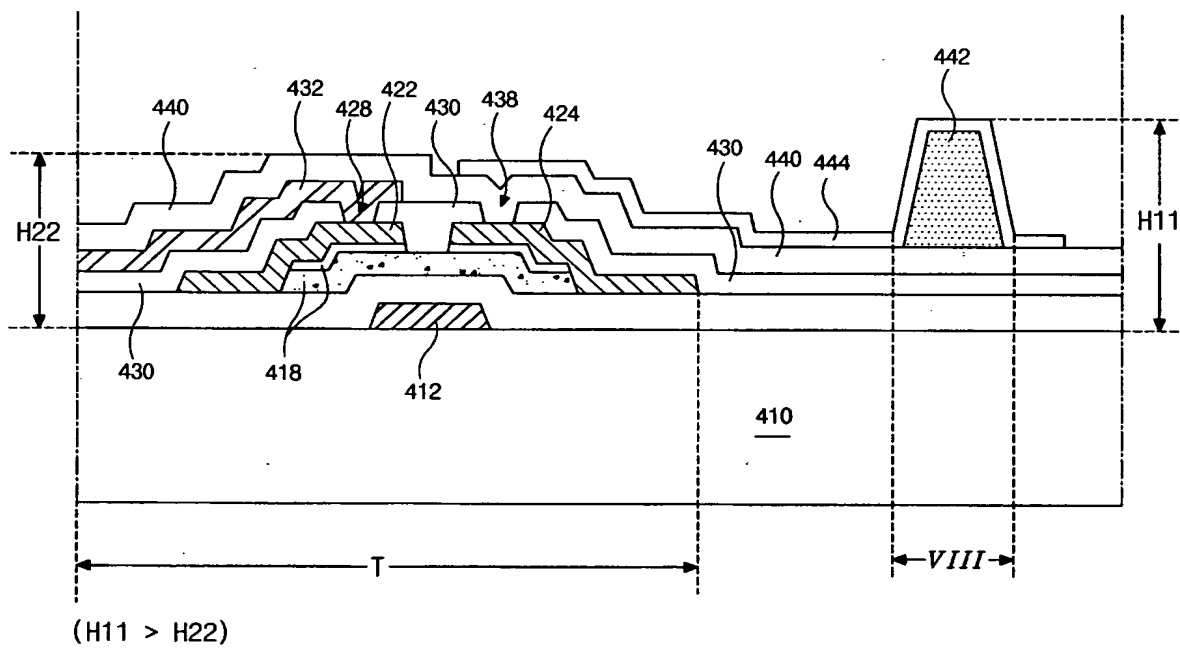
【도 8】



【도 9】



【도 10】





【도 11】

